

Architecture des ordinateurs et systèmes d'exploitation

TD 9: Architectures superscalaires

Arnaud Giersch

Benoît Meister

Nicolas Passat

1. Opérations dépendantes

Quelle est la plus longue chaîne d'opérations dépendantes du fragment de programme suivant ?

```
LD r7, (r8)      ! stocker dans r7 la valeur se trouvant à l'adresse mémoire r8
SUB r10, r11, r12 ! r10 = r11 - r12
MUL r13, r7, r11 ! r13 = r7 * r11
ST (r9), r13     ! stocker en mémoire à l'adresse r9 la valeur du registre r13
ADD r13, r2, r1  ! r13 = r2 + r1
LD r5, (r6)     ! stocker dans r5 la valeur se trouvant à l'adresse mémoire r6
SUB r3, r4, r5   ! r3 = r4 - r5
```

2. Limites du parallélisme

Si le fragment de code de l'exercice précédent était exécuté sur un processeur superscalaire doté d'un nombre infini d'unités d'exécution avec une latence d'un cycle pour toutes les opérations, combien de temps faudrait-il pour émettre toutes les instructions de la séquence ? La question peut aussi se formuler ainsi : quelles limitations les dépendances du fragment de programme apportent-elles au temps d'émission de ses instructions ?

3. Exécution IO (In Order)

Combien de temps faut-il pour émettre les instructions du fragment de code suivant sur un processeur superscalaire IO doté de 4 unités d'exécution pouvant exécuter chacune n'importe quel type d'instruction ? Les opérations mémoire (LD, ST) possèdent une latence de 2 cycles et toutes les autres opérations une latence d'un cycle.

```
ADD r1, r2, r3
SUB r5, r4, r5
LD r4, (r7)
MUL r4, r4, r4
ST (r7), r4
LD r9, (r10)
LD r11, (r12)
ADD r11, r11, r12
MUL r11, r11, r11
ST (r12), r11
```

4. Exécution IO (In Order) avec unités d'exécution restreintes

Combien de temps faut-il pour émettre les instructions du fragment de code suivant sur un processeur superscalaire IO doté de deux unités d'exécution dont l'une ne peut exécuter que des opérations mémoire et l'autre que des opérations non mémoire ? Les opérations mémoire (LD, ST) possèdent une latence de 2 cycles et toutes les autres possèdent une latence d'un cycle.

```
LD r4, (r5)
LD r7, (r8)
ADD r9, r4, r7
LD r10, (r11)
MUL r12, r13, r14
```

```

SUB r2, r3, r1
ST (r2), r15
MUL r21, r4, r7
ST (r22), r23
ST (r24), r21

```

5. Exécution OOO (Out Of Order)

Combien de temps faudrait-il pour émettre les instructions du fragment de code suivant sur un processeur super-scalaire OOO doté de deux unités d'exécution et dont toutes les instructions possèdent une latence d'un cycle ? Nous supposons que chaque unité d'exécution peut exécuter n'importe quel type d'instruction. Nous supposons par ailleurs que la fenêtre d'instruction du processeur est assez grande pour comprendre le fragment de code entier.

```

LD r1, (r2)
SUB r4, r5, r6
ADD r3, r1, r7
MUL r8, r3, r3
ST (r11), r4
ST (r12), r8
ADD r15, r14, r13
SUB r10, r15, r10
ST (r9), r10

```

6. Exécution OOO (Out Of Order) avec unités d'exécution restreintes

Supposons que le processeur de l'exercice précédent possède une unité d'exécution qui ne peut exécuter que les instructions mémoire et une autre qui ne traite que les instructions non mémoire. Si tous les paramètres du processeur restent les mêmes, combien de temps faut-il pour émettre le fragment de code de l'exercice précédent ?

7. Renommage de registres

Combien de registres matériels sont requis pour permettre au renommage de registres de rompre toutes les dépendances EAL et EAE du jeu d'instruction suivant ?

```

LD r1, (r2)
ADD r3, r4, r1
SUB r4, r5, r6
MUL r7, r4, r8
OR r8, r9, r10
SUB r11, r8, r12
DIV r12, r13, r14
ST (r15), r12

```